

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 51-147918

(43)Date of publication of application : 18.12.1976

(51)Int.Cl.

G06F 13/00

G11C 5/00

G11C 7/00

G06F 9/06

(21)Application number : 50-072437

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.06.1975

(72)Inventor : YANO TSUNEO

(54) MEMORY WRITING CIRCUIT

(57)Abstract:

PURPOSE: To make the apparent number of the bit per one word of a memory in memory writing to 1/N, and thereby to make the number of the all words to N times.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



特 許 願 13

昭和 50 年 6 月 13 日

特許庁長官殿

1. 発明の名称 メモリ書き込み回路

2. 発明者

住 所

神戸市兵庫区和田崎町1丁目1番2号
三菱電機株式会社 制御製作所内

氏 名

矢野 恒雄

3. 特許出願人

住 所

郵便番号 100
東京都千代田区丸の内二丁目2番3号
名称 (601)三菱電機株式会社
代表者 進 藤 貞 和

4. 代理人

住 所

郵便番号 100
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

氏 名(6699)弁理士

高野 信

5. 添付書類の目録

(1) 明 細 書

(2) 図 面

(3) 委 任 状

(4) 出願審査請求書

細 書

図 面

委 任 状

出願審査請求書

1通

1通

1通

1通

方式
審査

50 072437



明 細 書

1. 発明の名称

メモリ書き込み回路

2. 特許請求の範囲

書き込み番地とノワード分の書き込みデータと書き込み指令入力を与えられた時、対応する番地に書き込みデータが書き込まれるメモリと外部から与えられる番地入力 K を N で割った時の切り上げた商と余りを計算し、前記切り上げた商を前記書き込み番地としてメモリへ送り出す割算器(ただし、 K および N は正の整数でありしかも $N \geq 2$ であり、そして $\frac{K}{N} \leq$ メモリの全ワード数である)と N 組の入力ゲートであつてメモリのノワード内のビット数の N 分の1のビット数よりなる外部から与えられる書き込みデータの全ビットが共通に入力され、割算器の余り1、2、...、 $N-1$ 、0がそれぞれ与えられた時、対応する組の入力ゲートの入力を前記メモリの入力のノワード内の全ビット数の N 分の1の入力よりなる異なる入力群にそれぞれ送

⑨ 日本国特許庁

公開特許公報

⑪特開昭 51-147918

⑬公開日 昭51.(1976)12.18

⑭特願昭 50-72437

⑮出願日 昭50.(1975)6.13

審査請求

未請求

(全3頁)

庁内整理番号

6440 f6
7164 f6
6341 f6

⑫日本分類

P77)C0
P77)C1
P77)F11⑬Int.Cl²G06F 13/00
G11C 4/00
G11C 7/00
G06F 8/06

り出す前記 N 組の入力ゲートと外部から書き込み指令を与えられた時、メモリに対して読み出し指令を送り出し、次に書き込み指令を送り出す指令発生器、前記メモリの出力のノワードが全ビット入力され指令発生器から読み出し指令を与えられた時、入力を記憶しそのまゝ出力を出し続けるレジスタ、 N 組の出力ゲートであつて、レジスタの出力の全ビット数の N 分の1のビット数を持ち、前記入力ゲートと同じビットにより構成される N 組の出力がそれぞれ入力され、割算器の余り1、2、...、 $N-1$ 、0がそれぞれ与えられた時、対応する組の出力ゲートの出力のみを閉じ、それ以外の組の出力ゲートの出力を全て開き、前記対応する組の入力ゲートの出力と共通して前記メモリの対応する入力群にそれぞれ送り出す前記 N 組の出力ゲートとを備えたことを特徴とするメモリ書き込み回路。

3. 発明の詳細な説明

この発明はメモリ書き込み回路に関するもの

である。

従来、番地とノワード分の書き込みデータと書き込み指令が与えられた時、対応する番地にデータが書き込まれる形式のメモリにおいて、メモリの全ワード数およびノワード当りのビット数はメモリ固有のものであり、それらの構成を変更することはできなかつた。従つて、メモリを使用する装置のノワード当りのビット数がメモリのノワード当りのビット数の N 分の 1 ($N \geq 1$ 、整数)のときには、ノワード当りのビット数のうち N 分の $N-1$ は無駄になつていた。

この発明は、このような実情に鑑みてなされたもので、メモリ書き込み時の見掛け上のメモリのノワード当りのビット数を N 分の 1 にし、その結果全ワード数を N 倍にすることができるメモリ書き込み回路を提供するものである。

以下、この発明の一実施例を添付図面について説明する。説明の便宜上、 $N=2$ すなわちメモリのノワード当りのビット数を 2 分の 1 にし、全ワード数を 2 倍する場合について説明する。

(3)

読み出し指令が与えられてデータが読み出された時、読み出されたノワード分のデータを記憶しそのまゝ出力を出し続けるレジスタ、 10 はレジスタ 9 のノワード分の出力のうち 2 分の 1 ワードが入力され、割算器 3 の余り 1 が与えられた時出力を閉じ、余り 0 が与えられた時出力を開き、入力をそのまゝメモリ 1 の入力のノワードのうち入力ゲート 5 から出力される方の 2 分の 1 ワードに共通に出力する出力ゲート、 11 はレジスタ 9 のノワード分の出力のうち出力ゲート 10 と異なる他の 2 分の 1 ワードが入力され、割算器 3 の余り 0 が与えられた時出力を閉じ、余り 1 が与えられた時出力を開き、入力をそのまゝメモリ 1 の入力のノワードのうち入力ゲート 6 から出力される方の 2 分の 1 ワードに共通に出力する出力ゲートである。

いま、外部から番地入力 K ($K > 0$ の整数であり、しかも $K \leq N \times$ メモリの全ワード数である)が与えられた時、割算器は K を N で割り、切り上げた商をメモリに書き込み番地として送

(5)

特開昭51-147918 (2)

すなわち図において、 1 はメモリ、 K は外部から与えられる番地入力、 2 は番地入力 K を 2 で割り、後で詳しく説明する“切り上げた商”と余りを計算し、切り上げた商を書き込み番地 2 としてメモリ 1 へ送り出す割算器、 4 はメモリ 1 の 2 分の 1 ワード分のビット数よりなる外部から与えられる書き込みデータ、 5 は書き込みデータ 4 が入力され割算器 3 の余り 1 が与えられた時に入力をそのまゝメモリ 1 の入力のノワード内の 2 分の 1 ワードに出力する入力ゲート、 6 は書き込みデータ 4 が入力ゲート 5 と同時に入力され割算器 3 の余り 0 が与えられた時に入力を、そのまゝメモリ 1 の入力のノワード内の入力ゲート 5 が出力するのと異なる他の 2 分の 1 ワードに出力する入力ゲート、 7 は外部から与えられる書き込み指令、 8 は書き込み指令 7 が与えられた時、メモリ 1 に対してまず読み出し指令を送り出し、次に書き込み指令を送り出す指令発生器、 9 はメモリ 1 の出力が全ビット入力され、指令発生器 8 からメモリ 1 に対して

(4)

り出すと共に余りを対応する入出ゲートにそれぞれ送り出す。例えば、この実施例においていま K が 4 であるとすれば割算器 3 は $4 \div 2 = 2$ の商を書き込み番地 2 としてメモリ 1 へ送り出すと共に余り 0 を入力ゲート 6 と出力ゲート 10 へそれぞれ送り出し K が 5 であるとすれば $5 \div 2 = 2$ 、余り 1 になるので商 2 を切り上げて“切り上げた商 $=3$ ”を書き込み番地 2 としてメモリ 1 へ送り出すと共に余り 1 を入力ゲート 5 と出力ゲート 11 へそれぞれ送り出す。すなわち、割算器 3 は、番地入力 K が 2 で割り切れない場合には商を 1 だけ切り上げるように作用する。次に指令発生器 8 は外部から書き込み指令 7 が与えられると、メモリ 1 に対してまず読み出し指令を送り出し、読み出された内容はレジスタ 9 に送られ記憶される。割算器 3 の余りが 1 の時には、メモリ 1 の 2 分の 1 ワード分のビット数よりなる外部から与えられる書き込みデータ 4 は入力ゲート 5 を通してメモリ 1 の対応する 2 分の 1 ワード分の書き込みデータと

(6)

してメモリノに入力され、他の $\frac{1}{2}$ 分のノワード分の書き込みデータは、レジスタ η に記憶されている内容のうち $\frac{1}{2}$ 分のノワードが、出力ゲートノノを通してメモリノに入力される。同様に割算器 ζ の余りが 0 の時には、メモリノの $\frac{1}{2}$ 分のノワードよりなる外部から与えられる書き込みデータは、入力ゲート ϵ を通してメモリノの対応する $\frac{1}{2}$ 分のノワード分の書き込みデータとして、メモリノに入力され、他の $\frac{1}{2}$ 分のノワード分の書き込みデータは、レジスタ η に記憶されている内容のうち $\frac{1}{2}$ 分のノワードが出力ゲートノノを通してメモリノに入力される。指令発生器 δ は、次にメモリノに対して書き込み指令を送り出す。この結果、メモリノへは割算器 ζ の余りが 1 の時には入力ゲート ϵ の出力と出力ゲートノノの出力がそれぞれメモリノの異なる $\frac{1}{2}$ ノワードに書き込まれ、また余りが 0 の時には入力ゲート ϵ の出力と出力ゲートノノの出力がそれぞれメモリノの異なる $\frac{1}{2}$ ノワードに書き込まれる。すなわち、メモリノへは割算器 ζ

(7)

図面は、この発明によるメモリ書き込み回路のブロック図である。

図中、ノはメモリ、 ζ は割算器、 ϵ および δ は入力ゲート、 δ は指令発生器、 η はレジスタ、ノおよびノノは出力ゲートである。

代理人 葛野信一

(9)

特開昭51-147918 (3)

の余りが 1 の時には 0 の時にも $\frac{1}{2}$ 分のノワードは外部から与えられる書き込みデータ ϵ が書き込まれ、他の $\frac{1}{2}$ 分のノワードは書き込みの前にメモリノの同じ番地の対応する $\frac{1}{2}$ 分のノワードに記憶されていたデータがそのまま書き込まれることになる。

更に前述した実施例においては、 $N=2$ すなわちメモリノノワード当りのビット数を $\frac{1}{2}$ 分にし、かつ全ワード数を 2 倍にする場合について記載したが、それ以外の任意の N ($N>2$)についても同様の効果を奏する。

前述したようにこの発明によるメモリ書き込み回路によれば、メモリ書き込み時におけるワード数を N 倍にし、ノワード当りのビット数を N 分の 1 にすることができるので、メモリを使用する装置のノワード当りのビット数がメモリノノワード当りのビット数の N 分の 1 の時には、メモリのワード数を N 倍にして無駄なく使用することができるという効果がある。

※ 図面の簡単な説明

(8)

